

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-044178

(43)Date of publication of application : 16.02.1989

(51)Int.Cl.

H04N 5/335
G11C 19/00
H01L 27/14
H03K 17/00

(21)Application number : 62-199700

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.08.1987

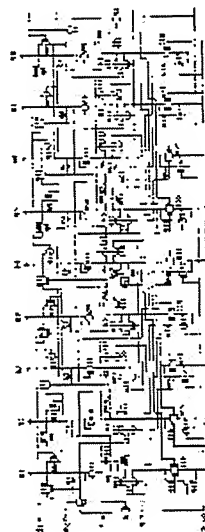
(72)Inventor : IZAWA TETSURO
MIYAZAWA TOSHIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To have the transfer direction of a signal as bidirections by disposing a pair of switches MOSFETs for transferring a signal passing one directional element to the gate of the MOSFET disposed in a preceding step or a succeeding step.

CONSTITUTION: The MOSFETQ1, Q2 are defined to be input circuits in a shifting operation in a forward direction and the MOSFETQ3, Q4 are defined to be input circuits in a shifting operation in a reverse direction. The MOSFETQ00 executes an operation as the one directional element for transferring the signal of a high level of the source side of the MOSFETQ08 executing a storing operation and an outputting operation. A control signal for instructing the shifting operation of the forward is supplied to the gate of the MOSFETQ01, Q02. A control signal for instructing the shifting operation of the reverse direction is supplied to the gate of the MOSFET Q3, Q4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑮ 日本国特許庁(JP)

⑯ 特許出願公開

⑫ 公開特許公報(A)

昭64-44178

⑭ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)2月16日

H 04 N 5/335
G 11 C 19/00
H 01 L 27/14
H 03 K 17/00

E-8420-5C
C-7208-5B
A-8122-5F
F-7190-5J

審査請求 未請求 発明の数 1 (全11頁)

⑬ 発明の名称 半導体集積回路装置

⑮ 特 願 昭62-199700

⑯ 出 願 昭62(1987)8月12日

⑮ 発 明 者 伊 沢 哲 朗 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

⑯ 発 明 者 宮 沢 敏 夫 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場
内

⑮ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑯ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 第1のタイミング信号がドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させる第1のMOSFETと、上記第1のMOSFETのゲートとソースとの間に設けられた容量手段と、上記第1のMOSFETのソースの信号を伝える一方向性素子とを含む第1の回路と、上記第1のタイミング信号とは相互に位相が異なる第2のタイミング信号がドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させる第2のMOSFETと、上記第2のMOSFETのゲートとソースとの間に設けられた容量手段と、上記第2のMOSFETのソースの信号を伝える一方向性素子とを含む第2の回路とを対とする複数の単位回路と、信号伝達方向を選択的に指示する第1の制御信号と第2の制御信号

によりそれぞれスイッチ制御され、上記一方向性素子を通した信号を前段又は次段に配置される第1又は第2の回路のMOSFETのゲートに伝える一対のスイッチMOSFETと、上記第1の制御信号と第2の制御信号によって択一的に動作状態にされ、一方の端に配置される単位回路における第1の回路及び他方の端に配置される単位回路における第2の回路の第1及び第2のMOSFETのゲートに初期信号を供給する一対の入力回路とからなる信号伝達回路を具備することを特徴とする半導体集積回路装置。

2. 上記第1と第2の回路における一方向性素子を介した信号は、上記第1及び第2の制御信号に従ってそれぞれスイッチ制御されるスイッチMOSFETを介して前段又は次段に配置される単位回路の対応する第1と第2の回路における上記一方向性素子を通した信号をリセットさせるリセット用MOSFETのゲートに伝えられることにより、上記信号伝達回路を双方向ダイナミック型シフトレジスタとして動作させる

ものであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 上記双方向ダイナミック型シフトレジスタとしての動作を行う信号伝達回路は、MOS形固体撮像装置における光電変換信号読み出し動作を行う走査信号を形成するものであることを特徴とする特許請求の範囲第2項記載の半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路装置に関し、例えばダイナミック型シフトレジスタを含むMOS形固体撮像装置に利用して有効な技術に関するものである。

(従来の技術)

従来より、フォトゲイオードとスイッチMOSFET(絶縁ゲート形電界効果トランジスタ)との組み合わせからなるMOS形固体撮像装置が公知である。このような固体撮像装置に関しては、例えばコロナ社「撮像工学」頁126～頁147、

1985年9月「テレビジョン学会技術報告」頁49～頁54、及び特開昭56-152382号等公報がある。

(発明が解決しようとする問題点)

上記のような固体撮像装置においては、水平走査動作及び垂直走査動作を行うために、ダイナミック型シフトレジスタが用いられる。このような走査回路にダイナミック型シフトレジスタを用いることによって、回路の簡素化及び高密度化と低消費電力化が可能になる。

しかしながら、ダイナミック型シフトレジスタとしては、スタティック型シフトレジスタのように双方向にシフト動作を行うものが開発されていないため、上記固体撮像装置にあっては走査方向が一義的に決められてしまう。通常のビデオテープレコーダ等に用いられる固体撮像装置にあっては、上記走査方向が一義的に決められていることによる格別な問題は指摘されないのが現状である。しかしながら、監視装置にあっては、カメラ本体を隠すためにミラーを用いて撮影する

ことの必要がしばしば生じる。ミラーを用いて撮影を行うと被写体の左右が逆転したものを撮影することとなる。したがって、それをモニターするとき又はビデオテープレコーダに録画したものを再生するとき、左右が入れ換わった画像を見ることになってしまう。そこで、走査方向を逆にした固体撮像装置を形成することが考えられるが、その用途が限られてしまうため量産性が悪くなってコスト高になる。

この発明の目的は、信号の伝達方向を双方向に行うことを可能にしたダイナミック型信号伝達回路を含む半導体集積回路装置を提供することにある。

この発明の他の目的は、双方向のダイナミック型シフトレジスタを含む半導体集積回路装置を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明かになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば、下記の通りである。すなわち、第1のタイミング信号とそれと位相が異なる第2のタイミング信号がそれぞれドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させるMOSFETと、上記MOSFETのゲートとソースとの間に設けられた容量手段と、上記MOSFETのソースの信号を伝える一方向性素子とをそれぞれ含む第1と第2の回路を一对とする複数の単位回路と、信号伝達方向を択一的に指示する第1の制御信号と第2の制御信号によりそれぞれスイッチ制御され、上記一方向性素子を通した信号を前段又は次段に配置される第1又は第2の回路のMOSFETのゲートに伝える一对のスイッチMOSFET及び一方と他方の端に配置される単位回路に上記制御信号によって択一的に動作状態にされる一对の入力回路とにより信号伝達回路を構成する。

(作用)

上記した手段によれば、一方から他方又はその

逆方向に向かって選択的に信号伝達動作を行わせることが可能となる。

〔実施例〕

第1図は、この発明をダイナミック型シフトレジスタに適用した場合の一実施例の回路図が示されている。同図の各回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

MOSFETQ08は、記憶動作と出力動作を行う。すなわち、MOSFETQ08は、そのゲート容量を記憶手段としている。ゲート容量にハイレベルが保持されると、MOSFETQ08はオン状態になり、そのドレインに供給されるタイミング信号φ2のハイレベルをソース側に伝える。ソース側の信号B0は出力信号とされる。このとき、MOSFETQ08のしきい値電圧によって出力信号B0のレベルが低下してしまうのを防ぐために、MOSFETQ08のゲートとソース間にはブートストラップ容量C1が設けられる。上

記MOSFETQ08のソースには、信号伝達動作を行うためにダイオード形態にされたMOSFETQ00が設けられる。このMOSFETQ00は、MOSFETQ08のソース側のハイレベルの信号を伝達するという一方方向性素子としての動作を行う。特に制限されないが、上記MOSFETQ08のソースと回路の接地電位点との間には、出力信号B0を高速にリセットさせるためのリセットMOSFETQ09が設けられる。このリセットMOSFETQ09のゲートには、上記タイミング信号φ2のハイレベルが重なり合うことが無いように位相が異なるようにされたタイミング信号φ1が供給される。

上記ダイオード形態のMOSFETQ00のソース側（ダイオードとしてのカソード側）には、MOSFETQ08の出力信号B0を伝達させるための伝達回路が設けられる。この実施例では、双方向のシフト動作を実現するため、一対のスイッチMOSFETQ01とQ02及びQ03とQ04が設けられる。上記スイッチMOSFETQ

01とQ02のゲートには、左方向から右方向に向かうシフト動作（フォワード）を指示する制御信号Fが供給される。上記一対のスイッチMOSFETQ01は信号の伝達に用いられ、他のスイッチMOSFETQ02はリセット動作のために用いられる。この回路はフォワード動作においては初段回路とされるから、シフト動作に伴うリセット信号を発生させる単位回路が存在しないからスイッチMOSFETQ02は用いられない。すなわち、MOSFETQ02は省略しても何等問題ない。他の上記スイッチMOSFETQ03とQ04のゲートには、右方向から左方向に向かうシフト動作（リバース）を指示する制御信号Rが供給される。上記一対のスイッチMOSFETQ03は信号の伝達に用いられ、他のスイッチMOSFETQ04はリセット動作のために用いられる。この回路はリバース動作においては最終段回路とされるから、シフト動作に伴う信号伝達を行うべき単位回路が存在しないからスイッチMOSFETQ03は用いられない。すなわち、MOSF

ETQ03は省略しても何等問題ない。

上記ダイオード形態のMOSFETQ00のソースと回路の接地電位点にはリセットMOSFETQ05～Q07が並列形態に設けられる。ただし、MOSFETQ06とQ07は、そのゲートが回路の接地電位に結合され、常時オフ状態にされるから省略可能である。上記スイッチMOSFETQ02、Q03やリセットMOSFETQ06、Q07を設けたのは、以上の回路を半ビット分の単位回路の基本回路を示すためのものである。すなわち、半ビット分の単位回路（第1の回路）は、MOSFETQ00ないしQ09により構成され、同様な回路を一対として1ビット分の単位回路を構成し、これらの1ビット分の単位回路が複数個設けられることによって、複数ビットのシフトレジスタが構成される。

上記回路の対をなす半ビット分の単位回路（第2の回路）は、MOSFETQ10ないしQ19から構成される。ただし、記憶及び出力動作を行うMOSFETQ18のドレインには、タイミン

グ信号φ1が供給される。また、出力側に設けられるリセット用MOSFETQ15のゲートには、タイミング信号φ2が供給される。そして、上記第1の回路のフォワード方向の信号伝達用のスイッチMOSFETQ01を通した信号は、第2の回路のMOSFETQ18のゲートに伝えられる。逆に、第2の回路のリバース方向の信号伝達用のスイッチMOSFETQ13を通した信号は、第1の回路のMOSFETQ08のゲートに伝えられる。

上記フォワード及びリバース方向の信号伝達用のスイッチMOSFETによる信号伝達経路は、MOSFETQ20ないしQ29からなる第1の回路及びQ30ないしQ39からなる第2の回路からなる単位回路、MOSFETQ40ないしQ49からなる第1の回路及びQ50ないしQ59からなる第2の回路からなる単位回路、MOSFETQ60ないしQ69からなる第1の回路及びQ70ないしQ79からなる第2の回路からなる単位回路においても同様である。

回路を構成することになる。

信号B0に対応した回路におけるリバース方向のシフト動作においてオン状態にされるリセット信号伝達用のスイッチMOSFETQ04は、1ビット分後の回路(信号B2)のリセット用MOSFETQ26のゲートに伝えられる。すなわち、リバース方向のシフト動作のとき上記信号B0がハイレベルにされると、それがMOSFETQ04を介してリセット用MOSFETQ26をオン状態にして、信号B2を一方方向にした伝達させないダイオード形態のMOSFETQ20を介した記憶ノードN2をリセット動作を行うものである。

同様に、リバース方向のシフト動作にあっては、信号B1のハイレベルによって、信号B3に対応した上記同様なノードN3のリセットがMOSFETQ14とリセットMOSFETQ36とにより行われる。以下同様に組み合わせによって、リバース方向のハイレベルのシフト動作に伴うノードN4～N8のリセット動作が行われる。

この実施例では、タイミング信号φ1とφ2の位相を異ならせることなく、リバース方向でのシフト動作を行わせるため、半ビット分の回路が余分に設けられる。すなわち、MOSFETQ80ないしQ89からなる回路は、リバース方向のシフト動作を行うための入力回路として用いられる。これによって、出力信号B0ないしB8のうち、後述するような固体撮像装置の走査動作を行わせるための出力信号としては信号B1、B3、B5、B7が用いられる。それ故、リバース方向のシフト動作では1ビット分の単位回路の組み合わせは、フォワード方向の1ビット分の単位回路の組み合わせが1回路分ずれている。例えば、信号B4に着目すると、フォワード方向のシフト動作の場合、MOSFETQ40ないしQ49は、出力信号B5に対応したMOSFETQ50ないしQ59と1ビット分の単位回路を構成するのに対し、リバース方向のシフト動作の場合、MOSFETQ40ないしQ49は、出力信号B3に対応したMOSFETQ30ないしQ39と1ビット分の単位

フォワード方向のシフト動作における上記ノードN0ないしN5のリセット動作も、上記類似の構成とされる。すなわち、ノードN0にあっては、出力信号B2がハイレベルにされたとき、スイッチMOSFETQ22を介してリセットMOSFETQ05がオン状態にされることによって行われる。また、ノードN1にあっては、出力信号B3がハイレベルにされたとき、スイッチMOSFETQ32を介してリセットMOSFETQ15がオン状態にされることによって行われる。以下同様にあるノードの信号は、1ビット分のシフト動作により形成される出力信号によりそのリセットが行われるものである。

MOSFETQ1とQ2は、フォワード方向のシフト動作における入力回路とされる。すなわち、MOSFETQ1のゲートには、制御信号Fが供給され、フォワード方向のシフト動作のときにオン状態にされる。MOSFETQ1は、入力バルスφinをタイミング信号φ1を受けるMOSFETQ2を介して上記MOSFETQ08のゲート

に伝える。

MOSFETQ3とQ4は、リバース方向のシフト動作における入力回路とされる。すなわち、MOSFETQ3のゲートには、制御信号Rが供給され、リバード方向のシフト動作のときにオン状態にされる。MOSFETQ3は、入力パルス ϕ_{in} をタイミング信号 ϕ_1 を受けるMOSFETQ4を介して上記MOSFETQ8のゲートに伝える。

この実施例のダイナミック型シフトレジスタのフォワード方向の動作の一例を第2図のタイミング図を参照して次に説明する。

図示しないが、フォワード方向のシフト動作のときには制御信号Fがハイレベルにされる。この制御信号Fのハイレベルに応じて、各スイッチMOSFETQ01、Q02ないしQ81、Q82がオン状態にされている。また、入力回路のスイッチMOSFETQ1がオン状態にされている。このとき、制御信号Rはロウレベルにされ、それに対応した各スイッチMOSFETはオフ状態にさ

れる。ただし、このノードN0のレベルは、MOSFETQ00のしきい値電圧分だけレベルが低下したものとされる。このノードN0のハイレベルは、スイッチMOSFETQ01を通して次段回路のMOSFETQ18のゲート電極に伝えられ、そのゲート容量及びブートストラップ容量C2をハイレベルにする。これによって、MOSFETQ18はオン状態にされる。

タイミング信号 ϕ_2 がハイレベルからロウレベルになった後にタイミング信号 ϕ_1 がハイレベルにされる。タイミング信号 ϕ_1 がハイレベルにされると、MOSFETQ09がオン状態にされるから出力信号B0はハイレベルからロウレベルに高速に引き抜かれる。また、タイミング信号 ϕ_1 のハイレベルは既にオン状態にされているMOSFETQ18を通して出力信号B1として出力される。このとき、ブートストラップ容量C2にも上記ハイレベルが書き込まれているものであるため、出力信号B1のハイレベルに応じてMOSFETQ18のゲート電圧を昇圧させる。これによ

れることはいうまでもない。

タイミング信号 ϕ_1 に同期して入力パルス ϕ_{in} がハイレベルにされる。これによって、MOSFETQ08のゲート容量には、入力パルス ϕ_{in} のハイレベルがMOSFETQ1とQ2を介して伝えられる。これによって、MOSFETQ08はオン状態にされる。

タイミング信号 ϕ_1 がハイレベルからロウレベルになった後にタイミング信号 ϕ_2 がハイレベルにされる。タイミング信号 ϕ_2 がハイレベルにされると、そのハイレベルは既にオン状態にされているMOSFETQ08を通して出力信号B0として出力される。このとき、ブートストラップ容量C1にも上記ハイレベルが書き込まれるものであるため、出力信号のハイレベルに応じてMOSFETQ08のゲート電圧を昇圧させる。これによって、タイミング信号 ϕ_2 のハイレベルはレベル損失なく出力信号B0として出力される。上記出力信号B0のハイレベルに応じてダイオード形態のMOSFETQ00を通したノードN0もハ

いて、タイミング信号 ϕ_1 のハイレベルはレベル損失なく出力信号B1として出力される。上記出力信号B1のハイレベルに応じてダイオード形態のMOSFETQ10を通したノードN1もハイレベルにされる。ただし、このノードN1のレベルは、MOSFETQ10のしきい値電圧分だけレベルが低下したものとされる。このノードN1のハイレベルは、スイッチMOSFETQ11を通して次段回路のMOSFETQ28のゲート電極に伝えられ、ゲート容量及びブートストラップ容量C3をハイレベルにする。これによって、MOSFETQ28はオン状態にされる。

タイミング信号 ϕ_1 がハイレベルからロウレベルになった後にタイミング信号 ϕ_2 がハイレベルにされる。タイミング信号 ϕ_2 がハイレベルにされると、MOSFETQ19がオン状態にされるから出力信号B1はハイレベルからロウレベルに高速に引き抜かれる。また、タイミング信号 ϕ_2 のハイレベルは既にオン状態にされているMOSFETQ28を通して出力信号B2として出力さ

れる。このとき、ブートストラップ容量C3にも上記ハイレベルが書き込まれているものであるため、出力信号B2のハイレベルに応じてMOSFETQ18のゲート電圧を昇圧させる。これによって、タイミング信号φ2のハイレベルはレベル損失なく出力信号B2として出力される。上記出力信号B2のハイレベルに応じてダイオード形態のMOSFETQ10を通したノードN2もハイレベルにされる。ただし、このノードN2のレベルは、MOSFETQ20のしきい値電圧分だけレベルが低下したものとされる。このノードN2のハイレベルは、スイッチMOSFETQ21を通して次段回路のMOSFETQ38のゲート電極に伝えられ、ゲート容量及びブートストラップ容量C4をハイレベルにする。これによって、MOSFETQ38はオン状態にされる。また、上記ノードN2のハイレベルは、スイッチMOSFETQ22を通してノードN0に対応したリセットMOSFETQ05のゲートに伝えられる。これによってMOSFETQ05がオン状態にされ

るから、ノードN0がハイレベルからロウレベルにリセットされる。このようにノードN0のリセット動作を1ビット分遅らせるのは、出力信号B1の出力レベルを確保するためのものである。すなわち、出力信号B1とノードN0とはスイッチMOSFETQ01を介して結合されているため、出力信号B1の出力タイミングでノードN0をリセットさせることができないからである。

以下、同様な動作によってフォワード方向のシフト動作が行われる。

この実施例のダイナミック型シフトレジスタのリバース方向の動作の一例を第3図のタイミング図を参照して次に説明する。

図示しないが、リバース方向のシフト動作のときには制御信号Rがハイレベルにされる。この制御信号Rのハイレベルに応じて、各スイッチMOSFETQ03、04ないしQ83、Q84がオン状態にされている。また、入力回路のスイッチMOSFETQ3がオン状態にされている。このとき、制御信号Fはロウレベルにされ、それに対

応した各スイッチMOSFETはオフ状態にされることはいうまでもない。

タイミング信号φ1に同期して入力パルスφinがハイレベルにされる。これによって、MOSFETQ88のゲート容量には、入力パルスφinのハイレベルがMOSFETQ3とQ4を介して伝えられる。これによって、MOSFETQ88はオン状態にされる。

タイミング信号φ1がハイレベルからロウレベルになった後にタイミング信号φ2がハイレベルにされる。タイミング信号φ2がハイレベルにされると、そのハイレベルは既にオン状態にされているMOSFETQ88を通して出力信号B8として出力される。このとき、ブートストラップ容量C9にも上記ハイレベルが書き込まれるものであるため、出力信号のハイレベルに応じてMOSFETQ88のゲート電圧を昇圧させる。これによって、タイミング信号φ2のハイレベルはレベル損失なく出力信号B8として出力される。上記出力信号B8のハイレベルに応じてダイオード形

態のMOSFETQ80を通したノードN8もハイレベルにされる。ただし、このノードN8のレベルは、MOSFETQ80のしきい値電圧分だけレベルが低下したものとされる。このノードN8のハイレベルは、スイッチMOSFETQ83を通して次段回路のMOSFETQ78のゲート電極に伝えられ、そのゲート容量及びブートストラップ容量C7をハイレベルにする。これによって、MOSFETQ78はオン状態にされる。

タイミング信号φ2がハイレベルからロウレベルになった後にタイミング信号φ1がハイレベルにされる。タイミング信号φ1がハイレベルにされると、MOSFETQ89がオン状態にされるから出力信号B8はハイレベルからロウレベルに高速に引き抜かれる。また、タイミング信号φ1のハイレベルは既にオン状態にされているMOSFETQ78を通して出力信号B7として出力される。このとき、ブートストラップ容量C8にも上記ハイレベルが書き込まれているものであるため、出力信号B7のハイレベルに応じてMOSF

ETQ 78のゲート電圧を昇圧させる。これによって、タイミング信号φ1のハイレベルはレベル損失なく出力信号B7として出力される。上記出力信号B7のハイレベルに応じてダイオード形態のMOSFETQ70を通したノードN7もハイレベルにされる。ただし、このノードN7のレベルは、MOSFETQ70のしきい値電圧分だけレベルが低下したものとされる。このノードN7のハイレベルは、スイッチMOSFETQ73を通して次段回路のMOSFETQ68のゲート電極に伝えられ、ゲート容量及びブートストラップ容量C6をハイレベルにする。これによって、MOSFETQ68はオン状態にされる。

タイミング信号φ1がハイレベルからロウレベルになった後にタイミング信号φ2がハイレベルにされる。タイミング信号φ2がハイレベルにされると、MOSFETQ79がオン状態にされるから出力信号B7はハイレベルからロウレベルに高速に引き抜かれる。また、タイミング信号φ2のハイレベルは既にオン状態にされているMOS

FETQ68を通して出力信号B6として出力される。このとき、ブートストラップ容量C7にも上記ハイレベルが書き込まれているものであるため、出力信号B6のハイレベルに応じてMOSFETQ68のゲート電圧を昇圧させる。これによって、タイミング信号φ2のハイレベルはレベル損失なく出力信号B6として出力される。上記出力信号B6のハイレベルに応じてダイオード形態のMOSFETQ60を通したノードN6もハイレベルにされる。ただし、このノードN6のレベルは、MOSFETQ60のしきい値電圧分だけレベルが低下したものとされる。このノードN6のハイレベルは、スイッチMOSFETQ53を通して次段回路のMOSFETQ58のゲート電極に伝えられ、ゲート容量及びブートストラップ容量C6をハイレベルにする。これによって、MOSFETQ58はオン状態にされる。また、上記ノードN6のハイレベルは、スイッチMOSFETQ64を通してノードN8に対応したリセットMOSFETQ86のゲートに伝えられる。こ

れによってMOSFETQ85がオン状態にされるから、ノードN8がハイレベルからロウレベルにリセットされる。このようにノードN8のリセット動作を1ビット分遅らせるのは、出力信号B7の出力レベルを確保するためのものである。すなわち、出力信号B7とノードN8とはスイッチMOSFETQ83を介して結合されているため、出力信号B7の出力タイミングでノードN8をリセットさせることができないからである。

以下、同様な動作によってフォワード方向のシフト動作が行われる。

なお、入力パルスφinが供給されるとき、そのハイレベルに応じてオン状態にされるリセットMOSFETQ17ないしQ77によって、フォワード方向とリバース方向の入力段回路を除く他の回路のノードN1ないしN7のリセットが行われる。

第4図には、上記ダイナミック型シフトレジスタが用いられる固体撮像装置の一実施例の要部回路図が示されている。同図では、3行、2列分の

回路が代表として例示的に示されている。同図の各回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。

1つの画素セルは、フォトダイオードD1と垂直走査線V1にそのゲートが結合されたスイッチMOSFETQ101と、水平走査線H1にそのゲートが結合されたスイッチMOSFETQ102の直列回路から構成される。上記フォトダイオードD1及びスイッチMOSFETQ101、Q102からなる画素セルと同じ行（水平方向）に配置される他の同様な画素セル（D2、Q103、Q104）等の出力ノードは、同図において横方向に延長される水平信号線HS1に結合される。他の行についても上記同様な画素セルが同様に結合される。上記水平信号線HS1等には、それに対応した垂直走査線V1が平行して配置される。この垂直走査線V1には、上記のようにそれに対応した画素セルのスイッチMOSFETQ101、

Q103等が結合される。このことは、例示的に示されている他の行の垂直走査線V2及びV3においても同様である。

水平走査線は、同図において縦方向に延長され、同じ列に配置される画素セルのスイッチMOSFET Q102、Q106、及びQ110のゲートは、共通の水平走査線H1に結合される。他の列に配置される画素セルも上記同様に対応する水平走査線H2等に結合される。

上記垂直走査線V1、V2及びV3は、上記水平信号線HS1ないしHS3を経(垂直)方向に延長される出力線VSに結合させるスイッチMOSFET Q113ないしQ115のゲートにも結合される。この出力線VSとバイアス電圧VBとの間には、読み出し用の負荷抵抗Rが設けられる。この負荷抵抗Rを通して、画素セルが選択されたとき、フォトダイオードに蓄積された光信号に対応した電流が流れることによって、その画素セルからの読み出し動作と、次の読み出し動作のためのリセット(プリチャージ)動作とが同時に行わ

れる。上記負荷抵抗Rにより得られた電圧信号は、ブリアンプPAによって増幅され、図示しない出力回路を通して出力される。

この実施例では、上記各行の水平信号線HS1ないしHS3には、スミア、ブルーム等の偽信号を除去するために、リセット用MOSFET Q120ないしQ122が設けられる。これらのMOSFET Q120ないしQ122は、後述するようなタイミング関係をもって水平掃線期間内にオン状態にされ、各水平信号線HS1ないしHS3等にバイアス電圧VBを供給するものである。

これらのリセット用MOSFET Q120ないしQ122の動作は次の通りである。垂直走査線V1がハイレベルのとき、第1行目の読み出し動作が水平走査線H1、H2・・・が時系列的に順次ハイレベルにされることによって行われる。すなわち、このようにして次々に選択される画素セルのフォトダイオードに蓄積された光信号に対応した電流が流れることによって、その画素セルからの読み出し動作と、次の読み出し動作のため

のリセット(プリチャージ)動作とが同時に行われる。上記負荷抵抗Rにより得られる上記光電流に対応した電圧信号は、ブリアンプPAによって増幅され、図示しない出力回路を通して出力される。

上記1つの行の読み出しが終了すると、水平掃線期間に入る。この期間において上記垂直走査線V1はハイレベルからロウレベルにされ、非選択状態に切り換えられる。そして、リセット信号RSがハイレベルにされ、上記各リセット用MOSFET Q120ないしQ122をオン状態にする。これによって、非選択状態の水平信号線HS2等が発生した前述したような偽信号のリセットが行われるものである。

上記のような固体撮像装置の水平走査線H1、H2・・・等を順次選択する選択信号を形成する水平シフトレジスタHSRとして、第1図に示したような双方向のダイナミック型シフトレジスタが用いられる。上記双方向ダイナミック型シフトレジスタは、前述のようにフォワード方向とリバ

ース方向のシフト動作を行うものであるため、水平走査線の走査方向を任意に指定可能となる。これによって、例えば、フォワード方向のシフト動作を指定すると、通常の画素信号の読み出しが行われる。これに対して、リバース方向のシフト動作を指定すると、左右を逆転させた画像信号の読み出しが可能となる。例えば、監視カメラに適用する場合、監視カメラ本体を天井又は壁の中に嵌め込むようにして、ミラーを介して被写体の撮影を行う場合、上記リバース方向のシフト動作を指定することによって、上記左右が逆転して映像信号を得ることができる。

なお、垂直走査線V1、V2、V3・・・等の選択信号を形成する垂直シフトレジスタVSRとして、上記同様に双方向のダイナミック型シフトレジスタを用いると、上下が逆転した映像信号を得ることもできる。上記のように水平及び垂直シフトレジスタとして、双方向のダイナミック型シフトレジスタを用いて、それぞれ共にリバース方向のシフト動作を指示すると、被写体を180°

回転させた映像信号を得ることができる。

例えば、上記機能をビデオテープレコード用の固体撮像装置に設けて、スイッチの操作により任意に指定できるようにすると、それを用いて左右逆転、上下逆転及び180°回転させた撮影が可能になるから、トリック撮影等のような遊びができるものとなる。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 第1のタイミング信号とそれと位相が異なる第2のタイミング信号がそれぞれドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させるMOSFETと、上記MOSFETのゲートとソースとの間に設けられた容量手段と、上記MOSFETのソースの信号を伝える一方向性素子とをそれぞれ含む第1と第2の回路を一对とする複数の単位回路と、信号伝達方向を択一的に指示する第1の制御信号と第2の制御信号によりそれぞれスイッチ制御され、上記一方向性素子を通した信号を前段又は次段に配置される

という効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第1図の実施例回路において、シフト方向を指示する制御信号F、Rは、外部端子から供給するものの他、ワイヤーボンディング又はマスタースライス方式によって固定的に発生させるものであってもよい。また、外部端子から供給する場合、同時に制御信号FとRが発生されることがないから、1つの外部端子から供給することができる。また、同図において、リセット用MOSFET Q05、Q06、Q09ないしQ85、Q86、Q89を省略するものであってもよい。この場合には、例えば、論理“1”の信号がタイミング信号φ1とφ2に応じて双方向に選択的に順次伝達されるという信号伝達回路を構成することができる。

また、第4図に示した固体撮像装置の垂直信号

第1又は第2の回路のMOSFETのゲートに伝える一対のスイッチMOSFETを設けることによって、双方向の信号伝達動作が可能になるという効果が得られる。

(2) 上記(1)により、上記単位回路における第1と第2の回路のダイオード形態のMOSFETを通したノードの信号を、それより1段(1ビット)後の第1と第2の回路の出力信号によりそれぞれリセットさせる回路を設けることによって、双方向のダイナミック型シフトレジスタを構成することができるという効果が得られる。

(3) 上記ダイナミック型シフトレジスタを固体撮像装置の走査タイミング信号を形成するシフトレジスタに用いることによって、被写体を左右、上下逆転させたと等価の撮影が可能になるという効果が得られる。

(4) 上記(3)により、ミラーを用いて撮影を行っても、逆転した被写体をもとに戻した映像信号を得ることができるから、監視カメラを天井又は壁の中に嵌め込んでも通常の映像信号を得ることができる

線は、奇数フィールドと偶数フィールドとで1本分づらせて一対づつ選択状態にするようにしてもよい。これにより、インタレースに対して空間的重心を上下に移動させた画像信号を得ることができる。この場合、上記一対づつ選択される水平信号線に対応して一対からなる出力線を設けるものとしてもよい。このように、固体撮像装置の具体的構成は種々の実施例形態を採ることができる。

この発明は、前記固体撮像装置の他、前記のように選択的に双方向に信号伝達が可能にされた信号伝達回路やダイナミック型シフトレジスタを含む各種半導体集積回路装置に広く適用できるものである。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、第1のタイミング信号とそれと位相が異なる第2のタイミング信号がそれぞれドレインに供給され、そのゲート容量を記憶手段とし、ソースから出力信号を送出させるM

OSFETと、上記MOSFETのゲートとソースとの間に設けられた容量手段と、上記MOSFETのソースの信号を伝える一方向性素子とをそれぞれ含む第1と第2の回路を一对とする複数の単位回路と、信号伝達方向を択一的に指示する第1の制御信号と第2の制御信号によりそれぞれスイッチ制御され、上記一方向性素子を通した信号を前段又は次段に配置される第1又は第2の回路のMOSFETのゲートに伝える一対のスイッチMOSFETを設けることによって、双方向の信号伝達動作が可能になる。

4. 図面の簡単な説明

第1図は、この発明に係るダイナミック型シフトレジスタの一実施例を示す回路図、

第2図は、上記ダイナミック型シフトレジスタのフォワード方向の動作の一例を説明するためのタイミング図、

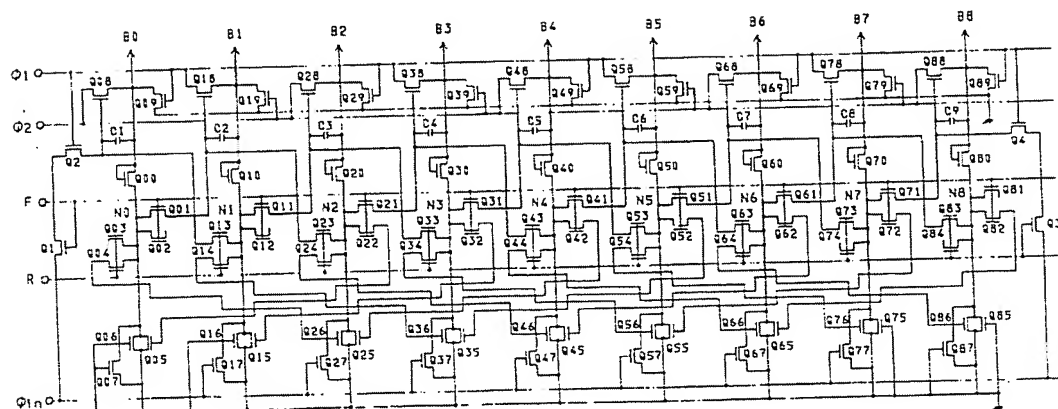
第3図は、上記ダイナミック型シフトレジスタのリバース方向の動作の一例を説明するためのタイミング図、

第4図は、上記ダイナミック型シフトレジスタが適用される固体撮像装置の一実施例を示す要部回路図である。

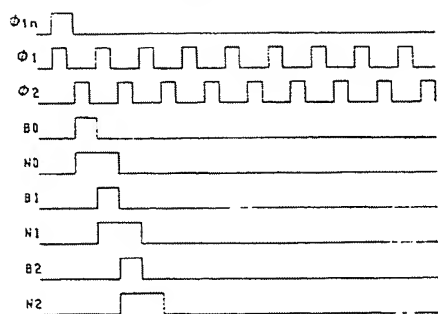
VSR・・・垂直シフトレジスタ、HSR・・・水平シフトレジスタ、PA・・・プリアンプ

代理人弁理士 小川 勝男

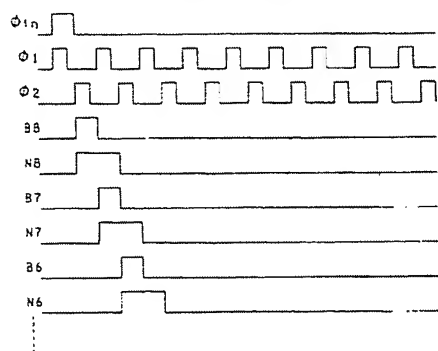
第 1 図



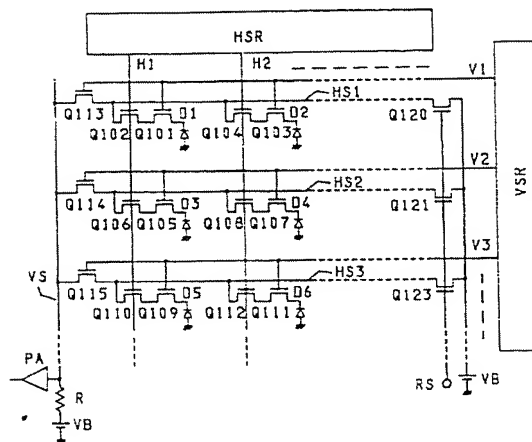
第 2 図



第 3 図



第 4 図



HSR : 水平シフトレジスタ
VSR : 垂直シフトレジスタ
PA : プリアンプ